

PAT-NO: JP02003069010A

DOCUMENT-IDENTIFIER: JP 2003069010 A

TITLE: SEMICONDUCTOR DEVICE AND METHOD OF MANUFACTURING THE
SAME

PUBN-DATE: March 7, 2003

INVENTOR-INFORMATION:

NAME	COUNTRY
UEDA, NAOKI	N/A

ASSIGNEE-INFORMATION:

NAME	COUNTRY
SHARP CORP	N/A

APPL-NO: JP2001254597

APPL-DATE: August 24, 2001

INT-CL (IPC): H01L029/78, H01L021/316 , H01L021/8234 , H01L027/088

ABSTRACT:

PROBLEM TO BE SOLVED: To provide a semiconductor device in which the thickness of a gate oxide film does not generate a thickness difference on side faces and the bottom face of a groove when the gate oxide film is formed on the bottom face and the side faces of the groove, and in which oxidation of a first-conductivity-type semiconductor substrate is suppressed.

SOLUTION: The semiconductor device comprises a MOSFET in which the groove is formed on the first-conductivity semiconductor substrate 1, in which a gate electrode 6 is buried at the inside of the groove via an insulating film, and in which a second-conductivity source diffusion layer 7 and a second-conductivity drain diffusion layer 8 are formed on both sides of the groove with the buried gate electrode 6. The insulation film formed at the inside of the groove is constituted by laminating a first gate oxide film 4 and a second gate oxide film 5 in this order.

COPYRIGHT: (C)2003,JPO

* NOTICES *

JP0 and INPIT are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention]Especially this invention relates to a semiconductor device with which the gate electrode is embedded in the slot provided on the semiconductor substrate, and a manufacturing method for the same about a semiconductor device and a manufacturing method for the same.

[0002]

[Description of the Prior Art]In the integrated circuit, in order to attain high integration, various art for reducing the occupation area of the MOS transistor and bipolar transistor to a semiconductor substrate is proposed. For example, by embedding a gate electrode in MOSFET in the slot formed on the semiconductor substrate, The composition which inhibited the short channel effect is indicated by JP,50-8483,A by reducing the occupation area to the semiconductor substrate of MOSFET, lengthening the length of a gate region effectually and lengthening a channel section further. In the composition of this gazette, the 1st gate oxide is formed by forming a slot on a semiconductor substrate and oxidizing the inner surface of that slot thermally.

[0003]Drawing 5 (a) - (g) is a sectional view showing each process in the manufacturing method of the semiconductor device indicated by JP,50-8483,A, respectively.

[0004]First, as shown in drawing 5 (a), after laminating the silicon oxide 32 and the silicon nitride film 33 in order on the 1st conductivity-type silicon semiconductor substrate 31, respectively, Photoresist is applied on the silicon nitride film 33, and photoresist is patterned so that the opening of the field which forms a ditch type gate electrode on the 1st conductivity-type silicon semiconductor substrate 31 by photo lithography may be carried out. Then, by etching, the silicon nitride film 33 of the field which forms a ditch type gate electrode, and the silicon oxide 32 are removed in order, and the surface of the 1st conductivity-type silicon

semiconductor substrate 31 is exposed.

[0005]Next, as shown in drawing 5 (b), the surface of the exposed 1st conductivity-type silicon semiconductor substrate 31 is etched, and a slot is formed.

[0006]Next, as shown in drawing 5 (c), heat the 1st conductivity-type silicon semiconductor substrate 31 in which the slot was formed, it is made to react to an oxidation seed, and a sacrificing oxide film is formed in the inner surface of a slot. Then, the sacrificing oxide film formed on the surface of the slot is removed by immersing the 1st conductivity-type silicon semiconductor substrate 31 in which the slot was formed in a fluoric acid (HF) solution. And heat again the 1st conductivity-type silicon semiconductor substrate 31 in which the slot was formed, it is made to react to an oxidation seed, and the gate oxide 34 is formed on the surface of a slot.

[0007]Next, while embedding into a slot the gate electrode 35 which comprises polysilicon so that the gate oxide 34 inside a slot may be covered as shown in drawing 5 (d), the gate electrode 35 is laminated also on the silicon nitride film 33.

[0008]Next, as shown in drawing 5 (e), the gate electrode 35 and the silicon nitride film 33 which comprise polysilicon on the 1st conductivity-type silicon semiconductor substrate 31 are received, Anisotropic dry etching or CMP (ChemicalMechanical Polishing: chemical mechanical polishing) is performed, and while removing the gate electrode 35 laminated on the silicon nitride film 33, the silicon nitride film 33 is also ground.

[0009]Next, as shown in drawing 5 (f), dry etching removes the polysilicon which constitutes the gate electrode 35 of fields other than a slot.

Then, the silicon nitride film 33 is also removed.

[0010]Next, the both sides of the slot where the gate electrode 35 which comprises polysilicon on the 1st conductivity-type silicon semiconductor substrate 31 was embedded are made to diffuse an impurity by an ion implantation from the silicon oxide 32 top, as shown in drawing 5 (g). Of an ion implantation, the caudad different source diffused layer 36 and the drain diffused layer 37 of the 2nd conductivity type from the 1st conductivity-type silicon semiconductor substrate 31 of the silicon oxide 32 are formed in the both sides of the slot on the 1st conductivity-type silicon semiconductor substrate 31, respectively.

[0011]There is art which makes small area which one MOSFET on a semiconductor substrate occupies by sharing either one of [adjoining] the source electrode of MOSFET, or a drain electrode as other examples using the ditch type gate electrode embedded at the semiconductor substrate.

[0012]Drawing 6 (a) - (f) is a sectional view showing each process in the manufacturing method of the semiconductor device in which such an example is shown.

[0013]First, as shown in drawing 6 (a), the 2nd gate electrode 43 and the etching mask

material 44 which comprise the 2nd gate oxide 42 that constitutes the 2nd MOSFET, and polysilicon on the 1st conductivity-type silicon semiconductor substrate 41 were laminated in order. After that, photoresist is applied on the etching mask material 44, and photoresist is patterned so that the opening of the field which forms a ditch type gate electrode on the 1st conductivity-type silicon semiconductor substrate 41 by photo lithography may be carried out. And by using patterned photoresist as a mask, by etching, the etching mask material 44, the 2nd gate electrode 43, and the 2nd gate oxide 42 are removed in order, and the surface of the 1st conductivity-type silicon semiconductor substrate 41 is exposed.

[0014]Next, as shown in drawing 6 (b), the field which the surface of the 1st conductivity-type silicon semiconductor substrate 41 exposed is etched, to the 2nd gate electrode 43, a mask alignment is not performed but a slot is formed in self align.

[0015]Next, as shown in drawing 6 (c), the 1st gate oxide 45 that constitutes the 1st MOSFET by the same method explained in drawing 5 (c) in the inner surface of the slot formed in the 1st conductivity-type silicon semiconductor substrate 41 is formed.

[0016]Next, while embedding into a slot the 1st gate electrode 46 that comprises polysilicon so that the 1st gate oxide 45 inside a slot may be covered as shown in drawing 6 (d), the 1st gate electrode 46 is laminated also on the etching mask material 44.

[0017]Next, as shown in drawing 6 (e), dry etching removes the polysilicon which constitutes the 1st gate electrode 46 of fields other than a slot. At this time, the 1st gate electrode 46 embedded in the slot is removed from the opening of a slot by predetermined Mr. Fukashi. Then, to each side attachment wall which counters mutual [from which the 1st gate electrode 46 of the slot was removed], as an arrow shows, the ion implantation of the impurity is carried out from the slanting upper part.

[0018]By this, as shown in drawing 6 (f), a slot inner surface to each field which counters mutual [in the 1st conductivity-type silicon semiconductor substrate 41 in the outside of the 1st gate oxide 45 of a wrap]. The drain diffused layer 49 and the source diffused layer 50 of the 2nd conductivity type from which a conductivity type differs are formed in the 1st conductivity-type silicon semiconductor substrate 41, respectively. The 2nd gate oxide 42, the 2nd gate electrode 43, and the etching mask material 44 of both sides of a slot carry out the ion implantation of the impurity to the pan of the field laminated in order to each outside field, respectively. Thereby, the drain diffused layer 48 of the 2nd conductivity type with which conductivity types differ, and the source diffused layer 47 are formed in the both sides of the laminating region of the 2nd gate oxide 42, the 2nd gate electrode 43, and the etching mask material 44 in the 1st conductivity-type silicon semiconductor substrate 41, respectively. In drawing 6 (e), in order to carry out the ion implantation of the impurity, polysilicon is embedded into the portion removed from the opening of the 1st gate electrode 46 fang-furrow part by predetermined Mr. Fukashi, and it is formed to near the opening of a 1st gate electrode 46

fang-furrow part.

[0019]thereby -- the 2nd MOSFET -- the drain diffused layer 48 of the 2nd conductivity type, the 2nd gate electrode 43, and the source diffused layer 50 of the 2nd conductivity type -- and, It comprises the source diffused layer 47 of the drain diffused layer 49 of the 2nd conductivity type, the 2nd gate electrode 43, and the 2nd conductivity type, and the 1st MOSFET comprises the source diffused layer 50 of the drain diffused layer 49 of the 2nd conductivity type, the 1st gate electrode 46, and the 2nd conductivity type. And the 2nd MOSFET that comprises the source diffused layer 50 of the drain diffused layer 48 of the 2nd conductivity type, the 2nd gate electrode 43, and the 2nd conductivity type and the 1st MOSFET, The source diffused layer 50 of the 2nd conductivity type is shared, and, as for the 2nd MOSFET that comprises the source diffused layer 47 of the drain diffused layer 49 of the 2nd conductivity type, the 2nd gate electrode 43, and the 2nd conductivity type, and the 1st MOSFET, the drain diffused layer 49 of the 2nd conductivity type is shared.

[0020]Thus, in the drain diffused layer 49 and the source diffused layer 50 of the 2nd conductivity type which are the fields (electrode) shared, since it is connected, the 1st MOSFET and the 2nd MOSFET become advantageous to minuteness making, when forming many memory cells etc. on a semiconductor substrate.

[0021]

[Problem(s) to be Solved by the Invention]However, in the 1st conventional example shown in drawing 5 (g). When the plane direction of the surface of the 1st conductivity-type silicon semiconductor substrate 31 used is controlled by the field (100), the plane direction of the side of the slot formed by etching from the surface of the 1st conductivity-type silicon semiconductor substrate 31 is close to the plane direction of a field (110). In for this reason, the state with the plane direction of the side of a slot near the plane direction of a field (110). When the gate oxide 34 is formed in the bottom and each side of a slot using a thermal oxidation method, although the thickness of the gate oxide 34 formed in the bottom of a slot and the thickness of the gate oxide 34 formed in the side of a slot depend also on film formation conditions (an oxidizing atmosphere, oxidizing temperature, etc.), the difference of 30 to 100% of thickness produces them. Thus, as a reason which a difference produces in the thickness of the gate oxide 34 formed in the bottom and the side of a slot, It is because the oxidizing rate of an oxidizing film has a dependency to the plane direction of the 1st conductivity-type silicon semiconductor substrate 31 surface, It is known that it is what is depended on the difference of the surface density of the silicon atom on the plane direction of the 1st conductivity-type silicon semiconductor substrate 31 surface that the oxidizing rate of an oxidizing film has a dependency to the plane direction of the 1st conductivity-type silicon semiconductor substrate 31 surface.

[0022]If a film formation condition is controlled so that the gate oxide 34 formed in the bottom

of a slot becomes predetermined thickness, The thickness of the gate oxide formed in the side of a slot increases to 130 to 200% to the thickness of the gate oxide formed in the bottom of a slot, and there is a problem that the drive characteristic of MOSFET which uses the portions of the side of a slot and the bottom as a channel gets worse.

[0023]Inside the slot which did not perform a mask alignment on the surface of the planate 1st conductivity-type silicon semiconductor substrate 41 to the 2nd gate electrode 43 of the 2nd MOSFET formed previously, but was formed in it in self align in the 2nd conventional example shown in drawing 6 (f), The 1st gate oxide 45 is formed by thermal oxidation, and the 1st MOSFET is formed by embedding the 1st gate electrode 46 on it. In this case, as shown in drawing 6 (c), when forming the 1st gate oxide 45 in a slot, The 1st gate oxide 45 will oxidize the 1st conductivity-type silicon semiconductor substrate 41 close to the slot of the lower part of the 2nd gate oxide 42, and the 2nd gate electrode 43 that comprises polysilicon close to the upper slot of the 2nd gate oxide 42. As a result, there is a possibility that the thickness of the 2nd gate oxide 42 of the 2nd MOSFET may become thick one by one, and may degrade the drive characteristic of the 2nd MOSFET as it approaches the slot side.

[0024]This invention solves such a technical problem. The thickness of the gate oxide formed in the bottom and each side of a slot which were established on the semiconductor substrate the purpose, When thickness difference is not produced in the side and the bottom of a slot but gate oxide is formed in the inside of a slot, it is in providing a semiconductor device with which oxidation of the gate electrode of the outside of a semiconductor substrate and a slot is controlled, and a manufacturing method for the same.

[0025]

[Means for Solving the Problem]As for a semiconductor device of this invention, a slot is formed in a position on the 1st conductivity type semiconductor substrate, On both sides of this slot where the 1st gate electrode was embedded via an insulator layer to an inner surface of this slot, and this 1st gate electrode was embedded inside. A source diffused layer of the 2nd conductivity type and a drain diffused layer of the 2nd conductivity type are the semiconductor devices which have the 1st MOSFET formed, respectively, the 1st gate oxide and the 2nd gate oxide are laminated in order, and an insulator layer formed in an inner surface of this slot is constituted.

[0026]So that either [at least] a source diffused layer of the 2nd conductivity type of said 1st MOSFET or a drain diffused layer of the 2nd conductivity type may be shared, The 2nd MOSFET is provided and this 2nd MOSFET, Open a predetermined interval in the outside of a source diffused layer of the 2nd conductivity type, or a drain diffused layer of the 2nd conductivity type shared with this 1st MOSFET, and a source diffused layer of the 2nd conductivity type or a drain diffused layer of the 2nd conductivity type is formed, The 2nd gate

electrode is formed on this 1st conductivity type semiconductor substrate in a field of an interval predetermined [this].

[0027]Open a predetermined interval in the outside of said slot where said 1st gate electrode of said 1st MOSFET was embedded, and a source diffused layer of the 2nd conductivity type and a drain diffused layer of the 2nd conductivity type are formed, respectively, The 2nd gate electrode is everywhere formed, respectively on this 1st conductivity type semiconductor substrate in a field of an interval of a law.

[0028]A film parameter of thickness of said 1st gate oxide and thickness of the 2nd gate oxide is about 1:1.

[0029]Said 1st gate oxide is formed by reaction of material gas containing silicon and material gas containing oxygen, and the 2nd gate oxide is formed by reaction of an oxidation seed supplied from oxidizing atmosphere gas, and a silicon atom supplied from said 1st conductivity type semiconductor substrate.

[0030]A process in which a manufacturing method of a semiconductor device of this invention forms a field which establishes a slot in a position on the 1st conductivity type semiconductor substrate, A field in which this slot on this 1st conductivity type semiconductor substrate is established is etched, A process of forming this slot, and a process of forming the 1st gate oxide in an inner surface of this slot, A process of forming the 2nd gate oxide between an inner surface of this slot, and this 1st gate oxide, A process of carrying out flattening of this 1st conductivity type semiconductor substrate in which this slot was formed after this 1st gate oxide and this 2nd gate oxide form a gate electrode in an inside of this slot formed in an inner surface, A process of forming a source diffused layer of the 2nd conductivity type and a drain diffused layer of the 2nd conductivity type from which this 1st conductivity type semiconductor substrate and a conductivity type differ, respectively on this 1st conductivity type semiconductor substrate of both sides of this slot is included.

[0031]Said 1st gate oxide is formed by a CVD method, and said 2nd gate oxide is formed by a thermal oxidation method.

[0032]

[Embodiment of the Invention]Hereafter, an embodiment of the invention is described, referring to drawings.

[0033]Drawing 1 is a sectional view of the important section of the semiconductor device which is a 1st embodiment of this invention. As for the semiconductor device shown in drawing 1, the slot of the predetermined depth is formed in the position on the 1st conductivity-type silicon semiconductor substrate 1. The 1st gate oxide 4 and the 2nd gate oxide 5 are laminated in order by each internal side and bottom of the slot, respectively. On the 1st gate oxide 4, it is embedded to near the opening of the gate electrode 6 fang-furrow part which comprises polysilicon.

[0034]In the 1st conductivity-type silicon semiconductor substrate 1 upper part in the both sides of a slot. In the 1st conductivity-type silicon semiconductor substrate 1, the drain diffused layer 8 of the 2nd conductivity type and the source diffused layer 7 of the 2nd conductivity type from which a conductivity type differs are formed, respectively, and the silicon oxide 2 is laminated, respectively on the drain diffused layer 8 of the 2nd conductivity type, and the source diffused layer 7 of the 2nd conductivity type.

[0035]Drawing 2 (a) - (h) is a sectional view showing each process in the manufacturing method of the semiconductor device of a 1st embodiment of this invention.

[0036]First, as shown in drawing 2 (a), a well layer (not shown) and an isolation region (not shown) are formed on the 1st conductivity-type silicon semiconductor substrate 1, After laminating the silicon oxide 2 about 5-20 nm thick and the silicon nitride film 3 about 100-200 nm thick in order, respectively, apply photoresist on the silicon nitride film 3, and by photo lithography. Photoresist is patterned so that the opening of the field which forms a ditch type gate electrode on the 1st conductivity-type silicon semiconductor substrate 1 may be carried out. Then, by etching, the silicon nitride film 3 of the field which forms a ditch type gate electrode, and the silicon oxide 2 are removed in order, and the surface of the 1st conductivity-type silicon semiconductor substrate 1 is exposed.

[0037]Next, as shown in drawing 2 (b), the surface of the exposed 1st conductivity-type silicon semiconductor substrate 1 is etched, and a 100-500-nm-deep slot is formed.

[0038]Next, as shown in drawing 2 (c), heat the 1st conductivity-type silicon semiconductor substrate 1 in which the slot was formed, it is made to react to an oxidation seed, and a 5-30-nm-thick sacrificing oxide film is formed in the inside of a slot. As for the thickness of this sacrificing oxide film, about 50 nm is desirable. Then, the sacrificing oxide film formed on the surface of the slot is thoroughly removed by immersing the 1st conductivity-type silicon semiconductor substrate 1 in which the slot was formed in a fluoric acid (HF) solution. Then, in [heat again the 1st conductivity-type silicon semiconductor substrate 1 in which the slot was formed, and] the surface of the 1st conductivity-type silicon semiconductor substrate 1, Gas, such as SiClH_2 containing silicon (Si), and gas, such as N_2O containing oxygen, are made to react, Or gas, such as SiClH_2 containing silicon (Si), and fluids, such as H_2O_2 , are made to react, and the 1st gate oxide 4 is formed in the inside of a slot.

[0039]The 1st gate oxide 4 is obtained from the following reaction formula, for example in a high temperature state by the CVD (Chemical Vapor Deposition) method.

[0040]

$\text{SiClH}_2 + \text{--}$ the thickness of the 1st gate oxide 4 of $2\text{N}_2\text{O} \rightarrow \text{SiO}_2 + 2\text{N}_2 + 2\text{HCl}$, When all the thickness of the gate oxide formed on the surface of a slot in a manufacturing process is about 5 nm, it is desirable that it is one half of about 2.5 nm of all the thickness of gate oxide.

[0041]Next, by heating the 1st conductivity-type silicon semiconductor substrate 1 in which the slot was formed further supplying an oxidation seed from oxidizing atmosphere gas, as shown in drawing 2 (d), The silicon (Si) and the oxidation seed of an inner surface of a slot which were covered by the 1st gate oxide 4 in the 1st conductivity-type silicon semiconductor substrate 1 are made to react, and the 2nd gate oxide 5 is formed in the inner surface of a slot. The 2nd gate oxide 5 is formed between the inner surface of a slot, and the 1st gate oxide 4. In this case, as for the cooking temperature of the 1st conductivity-type silicon semiconductor substrate 1, it is preferred to use Dry O₂ for 800 °C - 1100 °C, and an oxidation seed. When all the thickness of the gate oxide in which the thickness of the 2nd gate oxide 5 is also formed on the surface of a slot in a manufacturing process is about 5 nm, It is one half of about 2.5 nm of all the thickness of gate oxide, and it is desirable for the film parameter of the thickness of the 1st gate oxide 4 and the thickness of the 2nd gate oxide 5 to be about 1:1.

[0042]Here, the reason for making almost equal the film parameter of the thickness of the 1st gate oxide 4 and the thickness of the 2nd gate oxide 5 is explained. Since it deposits on the surface of the 1st conductivity-type silicon semiconductor substrate 1 inside a slot, the 1st gate oxide 4 has the comparatively stable situation of membrane formation of an oxide film to the plane direction of the surface of the 1st conductivity-type silicon semiconductor substrate 1, and the state of surface roughness, but its associative strength of the oxide film itself may be weak. On the other hand, in order that the 2nd gate oxide 5 may deteriorate the silicon surface of the 1st conductivity-type silicon semiconductor substrate 1 inside a slot in the presentation of an oxide film directly, the associative strength of the oxide film itself is strong, and the interfacial characteristic with a silicon substrate is excellent, but. The state of the plane direction of the surface of the 1st conductivity-type silicon semiconductor substrate 1, etc. has a tendency for a membrane formation state to be easy to be influenced. For this reason, by making thickness of the 1st gate oxide 4, and thickness of the 2nd gate oxide 5 into the almost same thickness, and forming the gate oxide 4 and 5 in a slot, While the associative strength of the oxide film itself becomes strong, respectively, as for the gate oxide 4 and 5 of a slot, a membrane formation state will be hard to be influenced in the state of the plane direction of the surface of a silicon substrate, etc., and thickness difference will stop producing it in each side and the bottom of a slot.

[0043]Thickness of the gate oxide inside the slot of MOSFET manufactured is made the range of 1-20 nm by the requirement specification of MOSFET.

[0044]Next, while embedding the gate electrode 6 which comprises polysilicon to the inside of a slot so that the 1st gate oxide 4 inside a slot may be covered as shown in drawing 2 (e), the gate electrode 6 which comprises polysilicon also on the silicon nitride film 3 is laminated.

[0045]Next, as shown in drawing 2 (f), the gate electrode 6 and the silicon nitride film 3 which comprise polysilicon on the 1st conductivity-type silicon semiconductor substrate 1 are

received, Anisotropic dry etching or CMP (Chemical Mechanical Polishing: chemical mechanical polishing) is performed, and while removing the gate electrode 6 laminated on the silicon nitride film 3, flattening also of the silicon nitride film 3 is ground and carried out.

[0046]Here, as for the thickness which the gate electrode 6 embedded in a slot makes deposit, when carrying out flattening using anisotropic dry etching, it is desirable that they are 0.6 or more times of the maximum of the width of a slot. As for the thickness which the gate electrode 6 embedded in a slot makes deposit, when carrying out flattening using the CMP method (chemical mechanical-polishing method), it is desirable to make it deposit more thickly than the maximum of the depth of a slot.

[0047]Next, as shown in drawing 2 (g), dry etching removes the polysilicon which constitutes the gate electrode 6 of fields other than a slot, and the silicon nitride film 3 of the both sides of a slot is also removed after that.

[0048]Next, the both sides of the slot where the gate electrode 6 which comprises polysilicon on the 1st conductivity-type silicon semiconductor substrate 1 was embedded are made to diffuse an impurity by an ion implantation from the silicon oxide 2 top, as shown in drawing 2 (h). Thereby, the caudad different source diffused layer 7 and the drain diffused layer 8 of the 2nd conductivity type from the 1st conductivity-type silicon semiconductor substrate 1 of the silicon oxide 2 are formed in the both sides of the slot on the 1st conductivity-type silicon semiconductor substrate 1, respectively. The source diffused layer 7 and the drain diffused layer 8 of the 2nd conductivity type on the 1st conductivity-type silicon semiconductor substrate 1 may be formed before forming a slot in the surface of the 1st conductivity-type silicon semiconductor substrate 1.

[0049]Thereby, MOSFET which has the drain diffused layer 8, the gate electrode 6, the source diffused layer 7, the 1st gate oxide 4, and the 2nd gate oxide 5 is formed on the 1st conductivity-type silicon semiconductor substrate 1. As for this MOSFET, a good switching characteristic is acquired by forming the 1st gate oxide 4 and the 2nd gate oxide 5 of the same thickness in each side and the bottom inside Mizobe.

[0050]Drawing 3 (a) and (b) is a sectional view of the important section of the semiconductor device which is a 2nd embodiment of this invention. As for the semiconductor device shown in drawing 3 (a), the slot is formed in the position on the 1st conductivity-type silicon semiconductor substrate 21 in that of the predetermined depth. The 1st gate oxide 25 and the 2nd gate oxide 26 are laminated in order by each internal side and bottom of the slot. On the 1st gate oxide 25, it is embedded to near the opening of the 1st gate electrode 27 fang-furrow part which comprises polysilicon.

[0051]To each field which counters mutual [in the 1st conductivity-type silicon semiconductor substrate 21 in the outside of the 1st gate oxide 25 of a wrap, and the 2nd gate oxide 26], a slot inner surface. The drain diffused layer 30a of the 2nd conductivity type and the source

diffused layer 30b of the 2nd conductivity type from which a conductivity type differs are formed in the 1st conductivity-type silicon semiconductor substrate 21, respectively. The source diffused layer 28 of the 2nd conductivity type and the drain diffused layer 29 of the 2nd conductivity type are formed at the predetermined intervals, respectively from the drain diffused layer 30a of the 2nd conductivity type, and the source diffused layer 30b of the 2nd conductivity type.

[0052]Between the drain diffused layer 29 of the 2nd conductivity type, and the source diffused layers 30b of the 2nd conductivity type, And on the 1st conductivity type semiconductor substrate 1 between the source diffused layer 28 of the 2nd conductivity type, and the drain diffused layer 30a of the 2nd conductivity type, the 3rd gate oxide 22, the 2nd gate electrode 23, and the silicon nitride film 24 are laminated in order, respectively.

[0053]It may be made not to form the drain diffused layer 30a of the 2nd conductivity type in the semiconductor device of drawing 3 (a), and the source diffused layer 30b of the 2nd conductivity type so that it may be shown in drawing 3 (b).

[0054]Drawing 4 (a) - (g) is a sectional view showing each process in the manufacturing method of the semiconductor device of a 2nd embodiment of this invention shown in drawing 3 (a). First, as shown in drawing 4 (a), on the 1st conductivity-type silicon semiconductor substrate 21, After laminating in order the 2nd gate electrode 23 and the silicon nitride film 24 which comprise the 3rd gate oxide 22 that constitutes the 2nd MOSFET, and polysilicon, Photoresist is applied on the silicon nitride film 24, and photoresist is patterned so that the opening of the field which forms the ditch type gate electrode which constitutes the 1st MOSFET on the 1st conductivity-type silicon semiconductor substrate 21 by photo lithography may be carried out. And by using patterned photoresist as a mask, by etching, the silicon nitride film 24, the 2nd gate electrode 23, and the 3rd gate oxide 22 are removed in order, and the surface of the 1st conductivity-type silicon semiconductor substrate 21 is exposed.

[0055]Next, as shown in drawing 4 (b), the field which the surface of the 1st conductivity-type silicon semiconductor substrate 21 exposed is etched, and a mask alignment is not performed to the 2nd gate electrode 23, but a slot is formed in self align.

[0056]Next, as shown in drawing 4 (c), heat the 1st conductivity-type silicon semiconductor substrate 21 in which the slot was formed, it is made to react to an oxidation seed, and a sacrificing oxide film is formed on the surface of a slot. As for the thickness of this sacrificing oxide film, about 50 nm is desirable. Then, the sacrificing oxide film formed on the surface of the slot is thoroughly removed by immersing the 1st conductivity-type silicon semiconductor substrate 21 in which the slot was formed in a fluoric acid (HF) solution. Then, in [heat again the 1st conductivity-type silicon semiconductor substrate 21 in which the slot was formed, and] the surface of the 1st conductivity-type silicon semiconductor substrate 21, Gas, such as SiClH_2 containing silicon (Si), and gas, such as N_2O containing oxygen, are made to react, Or

gas, such as SiClH_2 containing silicon (Si), and fluids, such as H_2O_2 , are made to react, and the 1st gate oxide 25 is formed on the surface of a slot.

[0057]The 1st gate oxide 25 is obtained from the following reaction formula, for example in a high temperature state by the CVD (Chemical Vapor Deposition) method.

[0058]

$\text{SiClH}_2 + \text{--}$ the thickness of the 1st gate oxide 25 of $2\text{N}_2\text{O} \rightarrow \text{SiO}_2 + 2\text{N}_2 + 2\text{HCl}$, When all the thickness of the gate oxide formed on the surface of a slot in a manufacturing process is about 5 nm, it is desirable that it is one half of about 2.5 nm of all the thickness of gate oxide.

[0059]Next, by heating further the 1st conductivity-type silicon semiconductor substrate 21 in which the slot was formed supplying an oxidation seed from oxidizing atmosphere gas as shown in drawing 4 (d), The silicon (Si) and the oxidation seed of an inner surface of a slot which were covered by the 1st gate oxide 25 in the 1st conductivity-type silicon semiconductor substrate 21 are made to react, and the 2nd gate oxide 26 is formed in the inner surface of a slot. The 2nd gate oxide 26 is formed between the inner surface of a slot, and the 1st gate oxide 25. In this case, as for the cooking temperature of the 1st conductivity-type silicon semiconductor substrate 21, it is preferred to use Dry O_2 for 800 ° - 1100 °, and an oxidation seed. When all the thickness of the gate oxide in which the thickness of the 2nd gate oxide 26 is also formed on the surface of a slot in a manufacturing process is about 5 nm, It is one half of about 2.5 nm of all the thickness of gate oxide, and, as for the film parameter of the thickness of the 1st gate oxide 25, and the thickness of the 2nd gate oxide 26, it is desirable that it is about 1:1. the 1st conductivity-type silicon semiconductor substrate 21 to which the 2nd gate oxide 26 approached the slot of the lower part of the 3rd gate oxide 22 by this when forming the 2nd gate oxide 26 in the inside of a slot -- and, it controls oxidizing the 2nd gate electrode 23 that comprises polysilicon close to the upper slot of the 3rd gate oxide 22, and the thing close to the thickness fang furrow part side of the 3rd gate oxide 22 which it is alike, it takes and is become thick one by one is prevented.

[0060]Here, the reason for making almost equal the film parameter of the thickness of the 1st gate oxide 25 and the thickness of the 2nd gate oxide 26 is explained. Since it deposits on the surface of the silicon substrate inside a slot, the 1st gate oxide 25 has the comparatively stable situation of membrane formation of an oxide film to the plane direction of the surface of a silicon substrate, and the state of surface roughness, but its associative strength of the oxide film itself may be weak. On the other hand, in order that the 2nd gate oxide 26 may deteriorate the silicon surface of the silicon substrate inside a slot in the presentation of an oxide film directly, the associative strength of the oxide film itself is strong, and it excels in the interfacial characteristic with a silicon substrate, but the state of the plane direction of the surface of a silicon substrate, etc. has a tendency for a membrane formation state to be easy to be

influenced. For this reason, by making thickness of the 1st gate oxide 25, and thickness of the 2nd gate oxide 26 into the almost same thickness, and forming the gate oxide 25 and 26 in a slot, While the associative strength of the oxide film itself becomes strong, respectively, as for the gate oxide 25 and 26 of a slot, a membrane formation state will be hard to be influenced in the state of the plane direction of the surface of a silicon substrate, etc., and thickness difference will stop producing it in the side and the bottom of a slot.

[0061]Thickness of the gate oxide of the slot of MOSFET manufactured is made the range of 1-20 nm by the requirement specification of MOSFET.

[0062]Next, while embedding the 1st gate electrode 27 that comprises polysilicon to the inside of a slot so that the 1st gate oxide 25 inside a slot may be covered as shown in drawing 4 (e), the 1st gate electrode 27 that comprises polysilicon also on the silicon nitride film 24 is laminated.

[0063]Next, as shown in drawing 4 (f), the 1st gate electrode 27 and the silicon nitride film 24 which comprise polysilicon on the 1st conductivity-type silicon semiconductor substrate 21 are received, Anisotropic dry etching or CMP (Chemical Mechanical Polishing: chemical mechanical polishing) is performed, and while removing the 1st gate electrode 27 laminated on the silicon nitride film 24, flattening also of the silicon nitride film 24 is ground and carried out. Dry etching removes the polysilicon which constitutes the 1st gate electrode 27 of fields other than a slot. At this time, the 1st gate electrode 27 embedded in the slot is removed from the opening of a slot by predetermined Mr. Fukashi. Then, to each side attachment wall which counters mutual [from which the 1st gate electrode 27 of the slot was removed], as an arrow shows, the ion implantation of the impurity is carried out from the slanting upper part.

[0064]By this, as shown in drawing 4 (g), a slot inner surface to each field which counters mutual [in the 1st conductivity-type silicon semiconductor substrate 21 in the thickness of the 1st gate oxide 25 of a wrap, and the outside of the 2nd gate oxide 26]. The drain diffused layer 30a and the source diffused layer 30b of the 2nd conductivity type from which a conductivity type differs are formed in the 1st conductivity-type silicon semiconductor substrate 21, respectively. Then, the 3rd gate oxide 22, the 2nd gate electrode 23, and the silicon nitride film 24 of both sides of a slot carry out the ion implantation of the impurity to the pan of the field laminated in order to each outside field, respectively. Thereby, the drain diffused layer 29 of the 2nd conductivity type with which conductivity types differ, and the source diffused layer 28 are formed in the both sides of the laminating region of the 3rd gate oxide 22, the 2nd gate electrode 23, and the silicon nitride film 24 in the 1st conductivity-type silicon semiconductor substrate 21, respectively. In order to carry out the ion implantation of the impurity in drawing 4 (e), polysilicon is embedded into the portion removed from the opening of the 1st gate electrode 27 fang-furrow part by predetermined Mr. Fukashi, and it is formed to near the opening of a 1st gate electrode 27 fang-furrow part. The source diffused layer 28 and the drain

diffused layer 29 of the 2nd conductivity type on the 1st conductivity-type silicon semiconductor substrate 21 may be formed before forming a slot in the surface of the 1st conductivity-type silicon semiconductor substrate 21.

[0065]this prevents the thing close to the thickness fang furrow part side of the 3rd gate oxide 22 of the 2nd MOSFET which it is alike, it takes and is become thick one by one, and the 2nd MOSFET with the good drive characteristic is obtained. The 2nd MOSFET The drain diffused layer 29 of the 2nd conductivity type, the 2nd gate electrode 23, the source diffused layer 30b of the 2nd conductivity type, And it comprises the source diffused layer 28 of the drain diffused layer 30a of the 2nd conductivity type, the 2nd gate electrode 23, and the 2nd conductivity type, and the 1st MOSFET comprises the source diffused layer 30b of the drain diffused layer 30a of the 2nd conductivity type, the 1st gate electrode 27, and the 2nd conductivity type. And the 2nd MOSFET that comprises the source diffused layer 30b of the drain diffused layer 29 of the 2nd conductivity type, the 2nd gate electrode 23, and the 2nd conductivity type and the 1st MOSFET, The source diffused layer 30b of the 2nd conductivity type is shared, and, as for the 2nd MOSFET that comprises the source diffused layer 28 of the drain diffused layer 30a of the 2nd conductivity type, the 2nd gate electrode 23, and the 2nd conductivity type, and the 1st MOSFET, the drain diffused layer 30a of the 2nd conductivity type is shared.

[0066]Thus, in the drain diffused layer 30a and the source diffused layer 30b of the 2nd conductivity type which are the fields (electrode) shared, since it is connected, the 1st MOSFET and the 2nd MOSFET become advantageous to minuteness making, when forming many memory cells etc. on a semiconductor substrate.

[0067]Drawing 4 (a) Although the manufacturing process of the semiconductor device shown in drawing 3 (a) was shown in - (g), the semiconductor device shown in drawing 3 (b) in which the drain diffused layer 30a of the 2nd conductivity type in the semiconductor device of drawing 3 (a) and the source diffused layer 30b of the 2nd conductivity type are not formed can be manufactured similarly.

[0068]MOSFET of the semiconductor device shown in drawing 3 (b), It has the drain diffused layer 29 of the 2nd conductivity type, the source diffused layer 28 of the 2nd conductivity type, the 2nd gate electrode 23, and the 1st gate electrode 27, The 2nd MOSFET that comprises the source diffused layer 28 of the drain diffused layer 29 of the 2nd conductivity type, the 2nd gate electrode 23, and the 2nd conductivity type, It will be in the state of multiple connection and either each 2nd gate electrode 23 and the 1st gate electrode 27 will function as the 1st MOSFET that comprises the source diffused layer 28 of the drain diffused layer 29 of the 2nd conductivity type, the 1st gate electrode 27, and the 2nd conductivity type as a selector gate. Therefore, a memory cell or a shift register can be formed by repeating and producing the composition of MOSFET in the semiconductor device shown in drawing 3 (b) on a semiconductor substrate.

[0069]

[Effect of the Invention]As for the semiconductor device of this invention, a slot is formed on the 1st conductivity type semiconductor substrate, It has the 1st MOSFET by which the source diffused layer of the 2nd conductivity type and the drain diffused layer of the 2nd conductivity type were formed in the both sides of the slot where the 1st gate electrode was embedded via the insulator layer to the inner surface of the slot, and the 1st gate electrode was embedded, respectively, By laminating the insulator layer formed in the inner surface of a slot in order of the 1st gate oxide and the 2nd gate oxide, and constituting it, When forming gate oxide in the inside of a slot, while keeping the thickness of gate oxide from producing thickness difference, it can also control oxidation of the 1st conductivity type semiconductor substrate in the side and the bottom of a slot.

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2003-69010
(P2003-69010A)

(43) 公開日 平成15年3月7日(2003.3.7)

(51) Int.Cl. ⁷	識別記号	F I	キーワード* (参考)
H 0 1 L	29/78	H 0 1 L 21/316	X 5 F 0 4 8
	21/316	29/78	3 0 1 V 5 F 0 5 8
	21/8234	27/08	1 0 2 C 5 F 1 4 0
	27/088		

審査請求 未請求 請求項の数7 O L (全 11 頁)

(21) 出願番号 特願2001-254597(P2001-254597)

(22) 出願日 平成13年8月24日(2001.8.24)

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 上田 直樹

大阪府大阪市阿倍野区長池町22番22号

シャープ株式会社内

(74) 代理人 100078282

弁理士 山本 秀策

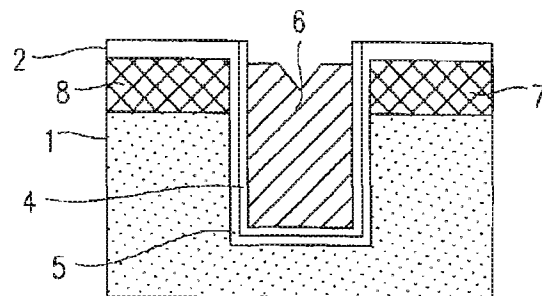
最終頁に続く

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】 溝部の底面および各側面にゲート酸化膜を形成する場合に、ゲート酸化膜の膜厚が、溝部の側面および底面において膜厚差を生じず、第1導電型半導体基板の酸化が抑制される。

【解決手段】 第1導電型シリコン半導体基板1上に溝部が形成されて、その溝部の内面に絶縁膜を介してゲート電極6が埋め込まれ、ゲート電極6が埋め込まれた溝部の両側に第2導電型のソース拡散層7および第2導電型のドレイン拡散層8が形成されたMOSFETを有しており、溝部の内面に形成された絶縁膜が、第1ゲート酸化膜4、第2ゲート酸化膜5の順番に積層されて構成されている。



【特許請求の範囲】

【請求項1】 第1導電型半導体基板上の所定の位置に溝部が形成されており、該溝部の内面に、絶縁膜を介して第1のゲート電極が埋め込まれ、該第1のゲート電極が埋め込まれた該溝部の両側に、第2導電型のソース拡散層および第2導電型のドレイン拡散層がそれぞれ形成された第1のMOSFETを有する半導体装置であって、

該溝部の内面に形成された絶縁膜は、第1ゲート酸化膜と第2ゲート酸化膜とが順番に積層されて構成されていることを特徴とする半導体装置。

【請求項2】 前記第1のMOSFETの第2導電型のソース拡散層または第2導電型のドレイン拡散層の少なくとも一方を共有するように、第2のMOSFETが設けられており、該第2のMOSFETは、該第1のMOSFETと共有する第2導電型のソース拡散層または第2導電型のドレイン拡散層の外側に所定の間隔をあけて第2導電型のソース拡散層または第2導電型のドレイン拡散層が形成され、該所定の間隔の領域における該第1導電型半導体基板上に第2のゲート電極が形成されている請求項1に記載の半導体装置。

【請求項3】 前記第1のMOSFETの前記第1のゲート電極が埋め込まれた前記溝部の外側に所定の間隔をあけて第2導電型のソース拡散層および第2導電型のドレイン拡散層がそれぞれ形成され、各所定の間隔の領域における該第1導電型半導体基板上に第2のゲート電極がそれぞれ形成されている請求項1に記載の半導体装置。

【請求項4】 前記第1ゲート酸化膜の膜厚と第2ゲート酸化膜の膜厚との膜厚比が、ほぼ1:1である請求項1〜3のいずれかに記載の半導体装置。

【請求項5】 前記第1ゲート酸化膜は、シリコンを含む原料ガスと、酸素を含む原料ガスとの反応によって形成され、第2ゲート酸化膜は、酸化雰囲気ガスより供給される酸化種と、前記第1導電型半導体基板より供給されるシリコン原子との反応によって形成される請求項1〜4のいずれかに記載の半導体装置。

【請求項6】 第1導電型半導体基板上の所定の位置に、溝部を設ける領域を形成する工程と、該第1導電型半導体基板上の該溝部を設ける領域をエッチングして、該溝部を形成する工程と、該溝部の内面に第1ゲート酸化膜を形成する工程と、該溝部の内面と該第1ゲート酸化膜との間に第2ゲート酸化膜を形成する工程と、該第1ゲート酸化膜および該第2ゲート酸化膜が内面に形成された該溝部の内部にゲート電極を形成した後に、該溝部が形成された該第1導電型半導体基板を平坦化する工程と、該溝部の両側の該第1導電型半導体基板上に、該第1導電型半導体基板と導電型の異なる第2導電型のソース拡

散層および第2導電型のドレイン拡散層をそれぞれ形成する工程と、

を包含することを特徴とする半導体装置の製造方法。

【請求項7】 前記第1ゲート酸化膜は、CVD法によって形成され、前記第2ゲート酸化膜は、熱酸化法によって形成される請求項6に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置およびその製造方法に関し、特に、ゲート電極が半導体基板上に設けられた溝部に埋め込まれている半導体装置およびその製造方法に関する。

【0002】

【従来の技術】半導体集積回路では、高集積化を図るために、半導体基板に対するMOSTランジスタおよびバイポーラランジスタの占有面積を縮小するための様々な技術が提案されている。例えば、MOSFETでは、ゲート電極を半導体基板上に形成された溝部に埋め込むことによって、MOSFETの半導体基板に対する占有面積を縮小し、さらに、ゲート領域の長さを実効的に長くして、チャネル部を長くすることによって、ショートチャネル効果を抑制した構成が特開昭50-8483号公報に開示されている。この公報の構成では、半導体基板上に溝を形成し、その溝の内面を熱酸化することによって、第1のゲート酸化膜が形成されている。

【0003】図5(a)〜(g)は、それぞれ特開昭50-8483号公報に開示された半導体装置の製造方法における各工程を示す断面図である。

【0004】まず、図5(a)に示すように、第1導電型シリコン半導体基板31上にシリコン酸化膜32とシリコン窒化膜33とをそれぞれ順番に積層した後に、シリコン窒化膜33上にフォトレジストを塗布し、フォトリソグラフィーによって、第1導電型シリコン半導体基板31上に溝型ゲート電極を形成する領域が開口されるようにフォトレジストをパターニングする。その後、エッチングによって、溝型ゲート電極を形成する領域のシリコン窒化膜33、シリコン酸化膜32を順番に除去し、第1導電型シリコン半導体基板31の表面を露出させる。

【0005】次に、図5(b)に示すように、露出した第1導電型シリコン半導体基板31の表面をエッチングして、溝部を形成する。

【0006】次に、図5(c)に示すように、溝部が形成された第1導電型シリコン半導体基板31を加熱し、酸化種と反応させて溝部の内面に犠牲酸化膜を形成する。その後、溝部が形成された第1導電型シリコン半導体基板31をフッ酸(HF)溶液に浸漬することにより、溝部の表面に形成された犠牲酸化膜を除去する。そして、再度、溝部が形成された第1導電型シリコン半導

体基板31を加熱し、酸化種と反応させて、溝部の表面にゲート酸化膜34を形成する。

【0007】次に、図5(d)に示すように、溝部の内部のゲート酸化膜34を覆うように、ポリシリコンから成るゲート電極35を溝部の中に埋め込むとともに、シリコン窒化膜33上にもゲート電極35を積層する。

【0008】次に、図5(e)に示すように、第1導電型シリコン半導体基板31上のポリシリコンから成るゲート電極35およびシリコン窒化膜33に対して、異方性ドライエッチングまたはCMP (Chemical Mechanical Polishing: 化学的機械研磨) を行って、シリコン窒化膜33上に積層されたゲート電極35を除去するとともに、シリコン窒化膜33も研磨する。

【0009】次に、図5(f)に示すように、溝部以外の領域のゲート電極35を構成するポリシリコンをドライエッチングによって除去し、その後、シリコン窒化膜33も除去する。

【0010】次に、図5(g)に示すように、第1導電型シリコン半導体基板31上のポリシリコンから成るゲート電極35が埋め込まれた溝部の両側に、シリコン酸化膜32上よりイオン注入によって不純物を拡散させる。イオン注入により、シリコン酸化膜32の下方に、第1導電型シリコン半導体基板31と異なる第2導電型のソース拡散層36およびドレイン拡散層37が、第1導電型シリコン半導体基板31上の溝部の両側にそれぞれ形成される。

【0011】また、半導体基板に埋め込まれた溝型ゲート電極を用いる他の例として、隣接するMOSFETのソース電極またはドレイン電極のいずれか一方を共有することにより半導体基板上における1個のMOSFETの占有する面積を小さくする技術がある。

【0012】図6(a)～(f)は、このような例を示す半導体装置の製造方法における各工程を示す断面図である。

【0013】まず、図6(a)に示すように、第1導電型シリコン半導体基板41上に、第2MOSFETを構成する第2ゲート酸化膜42、ポリシリコンから成る第2ゲート電極43およびエッチングマスク材44を順番に積層した。その後、エッチングマスク材44上にフォトリソグロフィーにより第1導電型シリコン半導体基板41上に溝型ゲート電極を形成する領域が開口されるようにフォトリソグロフィーをパターンニングする。そして、パターンニングされたフォトリソグロフィーをマスクとして、エッチングによって、エッチングマスク材44、第2ゲート電極43、第2ゲート酸化膜42を順番に除去し、第1導電型シリコン半導体基板41の表面を露出させる。

【0014】次に、図6(b)に示すように、第1導電型シリコン半導体基板41の表面が露出した領域をエッ

チングして第2ゲート電極43に対して、マスク合せを行わず自己整合的に溝部を形成する。

【0015】次に、図6(c)に示すように、図5(c)において説明した同様の方法により、第1導電型シリコン半導体基板41に形成された溝部の内面に、第1MOSFETを構成する第1ゲート酸化膜45を形成する。

【0016】次に、図6(d)に示すように、溝部の内部の第1ゲート酸化膜45を覆うように、ポリシリコンから成る第1ゲート電極46を溝部の中に埋め込むとともに、エッチングマスク材44上にも第1ゲート電極46を積層する。

【0017】次に、図6(e)に示すように、溝部以外の領域の第1ゲート電極46を構成するポリシリコンをドライエッチングによって除去する。この時、溝部に埋め込まれた第1ゲート電極46は、溝部の開口部から所定の深さまで除去される。その後、溝部の第1ゲート電極46が除去された相互に対向する各側壁に対して、矢印にて示すように、斜め上方から不純物をイオン注入する。

【0018】これにより、図6(f)に示すように、溝部内面を覆う第1ゲート酸化膜45の外側における第1導電型シリコン半導体基板41内の相互に対向する各領域に、第1導電型シリコン半導体基板41とは導電型の異なる第2導電型のドレイン拡散層49およびソース拡散層50がそれぞれ形成される。さらに、溝部の両側の第2ゲート酸化膜42、第2ゲート電極43およびエッチングマスク材44が順番に積層された領域のさらに外側の各領域に不純物をそれぞれイオン注入する。これにより、第1導電型シリコン半導体基板41とは導電型の異なる第2導電型のドレイン拡散層48、ソース拡散層47が第2ゲート酸化膜42、第2ゲート電極43およびエッチングマスク材44の積層領域の両側にそれぞれ形成される。さらに、図6(e)において、不純物をイオン注入するために、第1ゲート電極46が溝部の開口部から所定の深さまで除去された部分に、ポリシリコンが埋め込まれて、第1ゲート電極46が溝部の開口部近傍まで形成される。

【0019】これにより、第2MOSFETが、第2導電型のドレイン拡散層48、第2ゲート電極43、第2導電型のソース拡散層50、および、第2導電型のドレイン拡散層49、第2ゲート電極43、第2導電型のソース拡散層47から構成され、第1MOSFETが、第2導電型のドレイン拡散層49、第1ゲート電極46、第2導電型のソース拡散層50から構成される。そして、第2導電型のドレイン拡散層48、第2ゲート電極43、第2導電型のソース拡散層50から構成される第2MOSFETと、第1MOSFETとは、第2導電型のソース拡散層50が共有され、第2導電型のドレイン拡散層49、第2ゲート電極43、第2導電型のソース

拡散層47から構成される第2MOSFETと、第1MOSFETとは、第2導電型のドレイン拡散層49が共有される。

【0020】このように、第1MOSFETと第2MOSFETとは、共有される領域（電極）である第2導電型のドレイン拡散層49およびソース拡散層50において、接続されるために、半導体基板上に多数のメモリセル等を形成する場合には、微細化に有利となる。

【0021】

【発明が解決しようとする課題】しかしながら、図5 (g) に示す第1の従来例では、使用される第1導電型シリコン半導体基板31の表面の面方位が(100)面に制御されている場合、第1導電型シリコン半導体基板31の表面からのエッチングによって形成された溝部の側面の面方位は、(110)面の面方位に近くなっている。このため溝部の側面の面方位が(110)面の面方位に近い状態で、ゲート酸化膜34を熱酸化法を用いて溝部の底面および各側面に形成した場合、溝部の底面に形成されるゲート酸化膜34の膜厚と溝部の側面に形成されるゲート酸化膜34の膜厚とは、成膜条件（酸化雰囲気、酸化温度等）にも依るが、30～100%の膜厚の差が生じる。このように、溝部の底面および側面に形成されるゲート酸化膜34の膜厚に差が生じる理由としては、熱酸化膜の酸化レートが第1導電型シリコン半導体基板31表面の面方位に対して依存性を有しているためであり、熱酸化膜の酸化レートが第1導電型シリコン半導体基板31表面の面方位に対して依存性を有しているのは、第1導電型シリコン半導体基板31表面の面方位上におけるシリコン原子の面密度の差によるものであるということが知られている。

【0022】溝部の底面に形成されるゲート酸化膜34が所定の膜厚になるように成膜条件の制御を行うと、溝部の側面に形成されるゲート酸化膜の膜厚が、溝部の底面に形成されるゲート酸化膜の膜厚に対して、130～200%まで増加して、溝部の側面および底面の部分をチャンネルとして使用するMOSFETの駆動特性が悪化するという問題がある。

【0023】また、図6 (f) に示す第2の従来例では、平面状の第1導電型シリコン半導体基板41の表面に先に形成された第2MOSFETの第2ゲート電極43に対してマスク合せを行わず自己整合的に形成された溝部の内部に、熱酸化により第1ゲート酸化膜45を形成し、その上に第1ゲート電極46を埋め込むことにより第1MOSFETが形成されている。この場合、図6 (c) に示すように、溝部内に第1ゲート酸化膜45を形成する際に、第1ゲート酸化膜45が第2ゲート酸化膜42の下方の溝部に近接した第1導電型シリコン半導体基板41、および、第2ゲート酸化膜42の上方の溝部に近接したポリシリコンから成る第2ゲート電極43を酸化することになる。その結果、第2MOSFET

の第2ゲート酸化膜42の膜厚が、溝部側に接近するにつれて順次厚くなり第2MOSFETの駆動特性を劣化させるおそれがある。

【0024】本発明は、このような課題を解決するものであり、その目的は、半導体基板上に設けられた溝部の底面および各側面に形成されたゲート酸化膜の膜厚が、溝部の側面および底面において膜厚差を生じず、溝部の内部にゲート酸化膜が形成される際に、半導体基板および溝部の外側のゲート電極の酸化が抑制される半導体装置およびその製造方法を提供することにある。

【0025】

【課題を解決するための手段】本発明の半導体装置は、第1導電型半導体基板上の所定の位置に溝部が形成されており、該溝部の内面に、絶縁膜を介して第1のゲート電極が埋め込まれ、該第1のゲート電極が埋め込まれた該溝部の両側に、第2導電型のソース拡散層および第2導電型のドレイン拡散層がそれぞれ形成された第1のMOSFETを有する半導体装置であって、該溝部の内面に形成された絶縁膜は、第1ゲート酸化膜と第2ゲート酸化膜とが順番に積層されて構成されていることを特徴とする。

【0026】前記第1のMOSFETの第2導電型のソース拡散層または第2導電型のドレイン拡散層の少なくとも一方を共有するように、第2のMOSFETが設けられており、該第2のMOSFETは、該第1のMOSFETと共有する第2導電型のソース拡散層または第2導電型のドレイン拡散層の外側に所定の間隔をあけて第2導電型のソース拡散層または第2導電型のドレイン拡散層が形成され、該所定の間隔の領域における該第1導電型半導体基板上に第2のゲート電極が形成されている。

【0027】前記第1のMOSFETの前記第1のゲート電極が埋め込まれた前記溝部の外側に所定の間隔をあけて第2導電型のソース拡散層および第2導電型のドレイン拡散層がそれぞれ形成され、各所定の間隔の領域における該第1導電型半導体基板上に第2のゲート電極がそれぞれ形成されている。

【0028】前記第1ゲート酸化膜の膜厚と第2ゲート酸化膜の膜厚との膜厚比が、ほぼ1:1である。

【0029】前記第1ゲート酸化膜は、シリコンを含む原料ガスと、酸素を含む原料ガスとの反応によって形成され、第2ゲート酸化膜は、酸化雰囲気ガスより供給される酸化種と、前記第1導電型半導体基板より供給されるシリコン原子との反応によって形成される。

【0030】本発明の半導体装置の製造方法は、第1導電型半導体基板上の所定の位置に、溝部を設ける領域を形成する工程と、該第1導電型半導体基板上の該溝部を設ける領域をエッチングして、該溝部を形成する工程と、該溝部の内面に第1ゲート酸化膜を形成する工程と、該溝部の内面と該第1ゲート酸化膜との間に第2ゲ

ート酸化膜を形成する工程と、該第1ゲート酸化膜および該第2ゲート酸化膜が内面に形成された該溝部の内部にゲート電極を形成した後に、該溝部が形成された該第1導電型半導体基板を平坦化する工程と、該溝部の両側の該第1導電型半導体基板上に、該第1導電型半導体基板と導電型の異なる第2導電型のソース拡散層および第2導電型のドレイン拡散層をそれぞれ形成する工程と、を包含することを特徴とする。

【0031】前記第1ゲート酸化膜は、CVD法によって形成され、前記第2ゲート酸化膜は、熱酸化法によ

て形成される。

【0032】【発明の実施の形態】以下、図面を参照しながら本発明の実施の形態を説明する。

【0033】図1は、本発明の第1の実施形態である半導体装置の要部の断面図である。図1に示す半導体装置は、第1導電型シリコン半導体基板1上の所定の位置に、所定の深さの溝部が形成されている。溝部の内部の各側面および底面には、第1ゲート酸化膜4および第2ゲート酸化膜5がそれぞれ順番に積層されている。第1ゲート酸化膜4上には、ポリシリコンから成るゲート電極6が溝部の開口部近傍まで埋め込まれている。

【0034】溝部の両側における第1導電型シリコン半導体基板1上部には、第1導電型シリコン半導体基板1とは導電型の異なる第2導電型のドレイン拡散層8および第2導電型のソース拡散層7がそれぞれ形成されており、第2導電型のドレイン拡散層8上および第2導電型のソース拡散層7上には、シリコン酸化膜2がそれぞれ積層されている。

【0035】図2(a)～(h)は、本発明の第1の実施形態の半導体装置の製造方法における各工程を示す断面図である。

【0036】まず、図2(a)に示すように、第1導電型シリコン半導体基板1上に、ウェル層(図示せず)および素子分離領域(図示せず)を形成して、厚さ5～20nm程度のシリコン酸化膜2と、厚さ100～200nm程度のシリコン窒化膜3とをそれぞれ順番に積層した後に、シリコン窒化膜3上にフォトレジストを塗布し、フォトリソグラフィーによって、第1導電型シリコン半導体基板1上に溝型ゲート電極を形成する領域が開

口されるように、フォトレジストをパターニングする。その後、エッチングによって、溝型ゲート電極を形成する領域のシリコン窒化膜3、シリコン酸化膜2を順番に除去し、第1導電型シリコン半導体基板1の表面を露出させる。

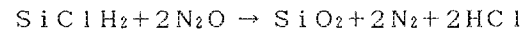
【0037】次に、図2(b)に示すように、露出した第1導電型シリコン半導体基板1の表面をエッチングして、深さ100～500nmの溝部を形成する。

【0038】次に、図2(c)に示すように、溝部が形成された第1導電型シリコン半導体基板1を加熱し、酸

化種と反応させて溝部の内部に、厚さ5～30nmの犠牲酸化膜を形成する。この犠牲酸化膜の厚さは、50nm程度が望ましい。その後、溝部が形成された第1導電型シリコン半導体基板1をフッ酸(HF)溶液に浸漬することにより、溝部の表面に形成された犠牲酸化膜を完全に除去する。その後、再度、溝部が形成された第1導電型シリコン半導体基板1を加熱し、第1導電型シリコン半導体基板1の表面において、シリコン(Si)を含有するSiClH₂等のガスと酸素を含むN₂O等のガスとを反応させて、または、シリコン(Si)を含有するSiClH₂等のガスとH₂O₂等の液体とを反応させて、溝部の内部に第1ゲート酸化膜4を形成する。

【0039】第1ゲート酸化膜4は、例えばCVD(C hemical Vapor Deposition)法により、高温状態において、次の反応式より得られる。

【0040】



第1ゲート酸化膜4の膜厚は、製造工程において溝部の表面に形成されるゲート酸化膜の全膜厚が5nm程度である場合、ゲート酸化膜の全膜厚の1/2の2.5nm程度であることが望ましい。

【0041】次に、図2(d)に示すように、さらに、酸化雰囲気ガスより酸化種を供給しつつ溝部が形成された第1導電型シリコン半導体基板1を加熱することにより、第1導電型シリコン半導体基板1内の第1ゲート酸化膜4にて覆われた溝部の内面のシリコン(Si)と酸化種とを反応させて、溝部の内面に第2ゲート酸化膜5を形成する。第2ゲート酸化膜5は、溝部の内面と第1ゲート酸化膜4との間に形成される。この場合、第1導電型シリコン半導体基板1の加熱温度は800℃～1100℃、酸化種には、Dry O₂を使用することが好ましい。また、第2ゲート酸化膜5の膜厚も、製造工程において溝部の表面に形成されるゲート酸化膜の全膜厚が5nm程度である場合、ゲート酸化膜の全膜厚の1/2の2.5nm程度であり、第1ゲート酸化膜4の膜厚と第2ゲート酸化膜5の膜厚との膜厚比がほぼ1:1であることが望ましい。

【0042】ここで、第1ゲート酸化膜4の膜厚と第2ゲート酸化膜5の膜厚との膜厚比をほぼ等しくする理由を説明する。第1ゲート酸化膜4は、溝部の内部の第1導電型シリコン半導体基板1の表面に堆積するために、第1導電型シリコン半導体基板1の表面の面方位および面粗さの状態に対して、比較的酸化膜の成膜の状況が安定しているが、酸化膜自体の結合力が弱い場合がある。一方、第2ゲート酸化膜5は、溝部の内部の第1導電型シリコン半導体基板1のシリコン表面を、直接、酸化膜の組成に変質させるために、酸化膜自体の結合力が強く、シリコン基板との界面特性は優れているが、第1導電型シリコン半導体基板1の表面の面方位等の状態に成膜状態が影響されやすい傾向がある。このため、第1ゲ

ート酸化膜4の膜厚および第2ゲート酸化膜5の膜厚をほぼ同じ膜厚にして、溝部にゲート酸化膜4および5を形成することによって、溝部のゲート酸化膜4および5は、それぞれ酸化膜自体の結合力が強くなるとともに、シリコン基板の表面の面方位等の状態に成膜状態が影響されにくくなり、溝部の各側面と底面とにおいて、膜厚差が生じなくなる。

【0043】製造されるMOSFETの溝部の内部のゲート酸化膜の膜厚は、MOSFETの要求仕様によって、1～20nmの範囲とされる。

【0044】次に、図2(e)に示すように、溝部の内部の第1ゲート酸化膜4を覆うように、ポリシリコンから成るゲート電極6を溝部の内部に埋め込むとともに、シリコン窒化膜3上にもポリシリコンから成るゲート電極6を積層する。

【0045】次に、図2(f)に示すように、第1導電型シリコン半導体基板1上のポリシリコンから成るゲート電極6およびシリコン窒化膜3に対して、異方性ドライエッチングまたはCMP(Chemical Mechanical Polishing: 化学的機械研

磨)を行って、シリコン窒化膜3上に積層されたゲート電極6を除去するとともに、シリコン窒化膜3も研磨して、平坦化する。

【0046】ここで、異方性ドライエッチングを用いて平坦化する場合、溝部に埋め込むゲート電極6の堆積させる膜厚は、溝部の幅の最大値の0.6倍以上であることが望ましい。また、CMP法(化学的機械研磨法)を用いて平坦化する場合、溝部に埋め込むゲート電極6の堆積させる膜厚は、溝部の深さの最大値よりも厚く堆積させることが望ましい。

【0047】次に、図2(g)に示すように、溝部以外の領域のゲート電極6を構成するポリシリコンをドライエッチングによって除去し、その後、溝部の両側のシリコン窒化膜3も除去する。

【0048】次に、図2(h)に示すように、第1導電型シリコン半導体基板1上のポリシリコンから成るゲート電極6が埋め込まれた溝部の両側に、シリコン酸化膜2上よりイオン注入によって不純物を拡散させる。これにより、シリコン酸化膜2の下方に、第1導電型シリコン半導体基板1と異なる第2導電型のソース拡散層7およびドレイン拡散層8が、第1導電型シリコン半導体基板1上の溝部の両側にそれぞれ形成される。尚、第1導電型シリコン半導体基板1上の第2導電型のソース拡散層7およびドレイン拡散層8は、第1導電型シリコン半導体基板1の表面に溝部を形成する前に形成しても良い。

【0049】これにより、第1導電型シリコン半導体基板1上に、ドレイン拡散層8、ゲート電極6、ソース拡散層7、第1ゲート酸化膜4、第2ゲート酸化膜5を有するMOSFETが形成される。このMOSFETは、

溝部内部の各側面および底面に同一膜厚の第1ゲート酸化膜4および第2ゲート酸化膜5が形成されることによって、良好なスイッチング特性が得られる。

【0050】図3(a)および(b)は、本発明の第2の実施形態である半導体装置の要部の断面図である。図3(a)に示す半導体装置は、第1導電型シリコン半導体基板21上の所定の位置に、所定の深さを溝部が形成されている。溝部の内部の各側面および底面には、第1ゲート酸化膜25および第2ゲート酸化膜26が順番に積層されている。第1ゲート酸化膜25上には、ポリシリコンから成る第1ゲート電極27が溝部の開口部近傍まで埋め込まれている。

【0051】溝部内面を覆う第1ゲート酸化膜25および第2ゲート酸化膜26の外側における第1導電型シリコン半導体基板21内の相互に対向する各領域に、第1導電型シリコン半導体基板21とは導電型の異なる第2導電型のドレイン拡散層30aおよび第2導電型のソース拡散層30bがそれぞれ形成されている。さらに、第2導電型のドレイン拡散層30aおよび第2導電型のソース拡散層30bから所定の間隔で第2導電型のソース拡散層28および第2導電型のドレイン拡散層29がそれぞれ形成されている。

【0052】第2導電型のドレイン拡散層29と第2導電型のソース拡散層30bとの間、および、第2導電型のソース拡散層28と第2導電型のドレイン拡散層30aとの間の第1導電型半導体基板1上には、第3ゲート酸化膜22、第2ゲート電極23、シリコン窒化膜24がそれぞれ順番に積層されている。

【0053】尚、図3(b)に示すように、図3(a)の半導体装置における第2導電型のドレイン拡散層30aおよび第2導電型のソース拡散層30bを形成しないようにしてもよい。

【0054】図4(a)～(g)は、図3(a)に示す本発明の第2の実施形態の半導体装置の製造方法における各工程を示す断面図である。まず、図4(a)に示すように、第1導電型シリコン半導体基板21上に、第2MOSFETを構成する第3ゲート酸化膜22、ポリシリコンから成る第2ゲート電極23およびシリコン窒化膜24を順番に積層した後に、シリコン窒化膜24上にフォトレジストを塗布し、フォトリソグラフィにより第1導電型シリコン半導体基板21上に第1MOSFETを構成する溝型ゲート電極を形成する領域が開口されるようにフォトレジストをパターニングする。そして、パターニングされたフォトレジストをマスクとして、エッチングによって、シリコン窒化膜24、第2ゲート電極23、第3ゲート酸化膜22を順番に除去し、第1導電型シリコン半導体基板21の表面を露出させる。

【0055】次に、図4(b)に示すように、第1導電型シリコン半導体基板21の表面が露出した領域をエッチングして第2ゲート電極23に対してマスク合せを行

なわず自己整合的に溝部を形成する。

【0056】次に、図4(c)に示すように、溝部が形成された第1導電型シリコン半導体基板21を加熱し、酸化種と反応させて溝部の表面に、犠牲酸化膜を形成する。この犠牲酸化膜の厚さは、50nm程度が望ましい。その後、溝部が形成された第1導電型シリコン半導体基板21をフッ酸(HF)溶液に浸漬することにより、溝部の表面に形成された犠牲酸化膜を完全に除去する。その後、再度、溝部が形成された第1導電型シリコン半導体基板21を加熱し、第1導電型シリコン半導体

基板21の表面において、シリコン(Si)を含有するSiClH₂等のガスと酸素を含むN₂O等のガスとを反応させて、または、シリコン(Si)を含有するSiClH₂等のガスとH₂O₂等の液体とを反応させて、溝部の表面に第1ゲート酸化膜25を形成する。

【0057】第1ゲート酸化膜25は、例えばCVD

(Chemical Vapor Deposition)法により、高温状態において、次の反応式より得ら

れる。
【0058】
$$\text{SiClH}_2 + 2\text{N}_2\text{O} \rightarrow \text{SiO}_2 + 2\text{N}_2 + 2\text{HCl}$$

第1ゲート酸化膜25の膜厚は、製造工程において溝部の表面に形成されるゲート酸化膜の全膜厚が5nm程度である場合、ゲート酸化膜の全膜厚の1/2の2.5nm程度であることが望ましい。

【0059】次に、図4(d)に示すように、酸化雰囲気ガスより酸化種を供給しつつ溝部が形成された第1導電型シリコン半導体基板21をさらに加熱することにより、第1導電型シリコン半導体基板21内の第1ゲート酸化膜25にて覆われた溝部の内面のシリコン(Si)と酸化種とを反応させて、溝部の内面に第2ゲート酸化膜26を形成する。第2ゲート酸化膜26は、溝部の内面と第1ゲート酸化膜25との間に形成される。この場合、第1導電型シリコン半導体基板21の加熱温度は800℃～1100℃、酸化種には、Dry O₂を使用することが好ましい。また、第2ゲート酸化膜26の膜厚も、製造工程において溝部の表面に形成されるゲート酸化膜の全膜厚が5nm程度である場合、ゲート酸化膜の全膜厚の1/2の2.5nm程度であり、第1ゲート酸化膜25の膜厚と第2ゲート酸化膜26の膜厚との膜厚比は、ほぼ1:1であることが望ましい。これにより、溝部の内部に第2ゲート酸化膜26を形成する際に、第2ゲート酸化膜26が第3ゲート酸化膜22の下方の溝部に近接した第1導電型シリコン半導体基板21、および、第3ゲート酸化膜22の上方の溝部に近接したポリシリコンから成る第2ゲート電極23を酸化することを抑制し、第3ゲート酸化膜22の膜厚が溝部側に接近するにつれて順次厚くなることが防止される。

【0060】ここで、第1ゲート酸化膜25の膜厚と第2ゲート酸化膜26の膜厚との膜厚比をほぼ等しくする

理由を説明する。第1ゲート酸化膜25は、溝部の内部のシリコン基板の表面に堆積するために、シリコン基板の表面の面方位および面粗さの状態に対して、比較的酸化膜の成膜の状況が安定しているが、酸化膜自体の結合力が弱い場合がある。一方、第2ゲート酸化膜26は、溝部の内部のシリコン基板のシリコン表面を、直接、酸化膜の組成に変質させるために、酸化膜自体の結合力が強く、シリコン基板との界面特性に優れているが、シリコン基板の表面の面方位等の状態に成膜状態が影響されやすい傾向がある。このため、第1ゲート酸化膜25の膜厚および第2ゲート酸化膜26の膜厚をほぼ同じ膜厚にして、溝部内にゲート酸化膜25および26を形成することによって、溝部のゲート酸化膜25および26は、それぞれ酸化膜自体の結合力が強くなるとともに、シリコン基板の表面の面方位等の状態に成膜状態が影響されにくくなり、溝部の側面と底面とにおいて、膜厚差が生じなくなる。

【0061】製造されるMOSFETの溝部のゲート酸化膜の膜厚は、MOSFETの要求仕様によって、1～20nmの範囲とされる。

【0062】次に、図4(e)に示すように、溝部の内部の第1ゲート酸化膜25を覆うように、ポリシリコンから成る第1ゲート電極27を溝部の内部に埋め込むとともに、シリコン窒化膜24上にもポリシリコンから成る第1ゲート電極27を積層する。

【0063】次に、図4(f)に示すように、第1導電型シリコン半導体基板21上のポリシリコンから成る第1ゲート電極27およびシリコン窒化膜24に対して、異方性ドライエッチングまたはCMP(Chemical Mechanical Polishing: 化学的機械研磨)を行って、シリコン窒化膜24上に積層された第1ゲート電極27を除去するとともに、シリコン窒化膜24も研磨して、平坦化する。さらに、溝部以外の領域の第1ゲート電極27を構成するポリシリコンをドライエッチングによって除去する。この時、溝部に埋め込まれた第1ゲート電極27は、溝部の開口部から所定の深さまで除去される。その後、溝部の第1ゲート電極27が除去された相互に対向する各側壁に対して、矢印にて示すように、斜め上方から不純物をイオン注入する。

【0064】これにより、図4(g)に示すように、溝部内面を覆う第1ゲート酸化膜25の膜厚および第2ゲート酸化膜26の外側における第1導電型シリコン半導体基板21内の相互に対向する各領域に、第1導電型シリコン半導体基板21とは導電型の異なる第2導電型のドレイン拡散層30aおよびソース拡散層30bがそれぞれ形成される。その後、溝部の両側の第3ゲート酸化膜22、第2ゲート電極23およびシリコン窒化膜24が順番に積層された領域のさらに外側の各領域に、不純物をそれぞれイオン注入する。これにより、第1導電型

シリコン半導体基板21とは導電型の異なる第2導電型のドレイン拡散層29、ソース拡散層28が第3ゲート酸化膜22、第2ゲート電極23およびシリコン窒化膜24の積層領域の両側にそれぞれ形成される。さらに、図4(e)において不純物をイオン注入するために、第1ゲート電極27が溝部の開口部から所定の深さまで除去された部分に、ポリシリコンを埋め込み、第1ゲート電極27が溝部の開口部近傍まで形成される。尚、第1導電型シリコン半導体基板21上の第2導電型のソース拡散層28およびドレイン拡散層29は、第1導電型シリコン半導体基板21の表面に溝部を形成する前に形成しても良い。

【0065】これにより、第2MOSFETの第3ゲート酸化膜22の膜厚が溝部側に接近するにつれて順次厚くなることを防止し、駆動特性が良好な第2MOSFETが得られる。第2MOSFETが、第2導電型のドレイン拡散層29、第2ゲート電極23、第2導電型のソース拡散層30b、および、第2導電型のドレイン拡散層30a、第2ゲート電極23、第2導電型のソース拡散層28から構成され、第1MOSFETが、第2導電型のドレイン拡散層30a、第1ゲート電極27、第2導電型のソース拡散層30bから構成される。そして、第2導電型のドレイン拡散層29、第2ゲート電極23、第2導電型のソース拡散層30bから構成される第2MOSFETと、第1MOSFETとは、第2導電型のソース拡散層30bが共有され、第2導電型のドレイン拡散層30a、第2ゲート電極23、第2導電型のソース拡散層28から構成される第2MOSFETと、第1MOSFETとは、第2導電型のドレイン拡散層30aが共有される。

【0066】このように、第1MOSFETと第2MOSFETとは、共有される領域(電極)である第2導電型のドレイン拡散層30aおよびソース拡散層30bにおいて、接続されるために、半導体基板上に多数のメモリセル等を形成する場合には、微細化に有利となる。

【0067】図4(a)～(g)には、図3(a)に示す半導体装置の製造工程を示したが、図3(a)の半導体装置における第2導電型のドレイン拡散層30aおよび第2導電型のソース拡散層30bが形成されていない図3(b)に示す半導体装置も、同様に製造できる。

【0068】図3(b)に示す半導体装置のMOSFETは、第2導電型のドレイン拡散層29、第2導電型のソース拡散層28、第2ゲート電極23、第1ゲート電極27を有しており、第2導電型のドレイン拡散層29、第2ゲート電極23、第2導電型のソース拡散層28から構成される第2MOSFETと、第2導電型のドレイン拡散層29、第1ゲート電極27、第2導電型のソース拡散層28から構成される第1MOSFETとは、並列接続の状態となり、それぞれの第2ゲート電極23および第1ゲート電極27のいずれかが選択ゲート

として機能する。したがって、図3(b)に示す半導体装置におけるMOSFETの構成を、半導体基板上に繰り返して作製することにより、メモリセルまたはシフトレジスタが形成できる。

【0069】

【発明の効果】本発明の半導体装置は、第1導電型半導体基板上に溝部が形成されて、その溝部の内面に絶縁膜を介して第1のゲート電極が埋め込まれ、その第1のゲート電極が埋め込まれた溝部の両側に第2導電型のソース拡散層および第2導電型のドレイン拡散層がそれぞれ形成された第1のMOSFETを有しており、溝部の内面に形成された絶縁膜が、第1ゲート酸化膜、第2ゲート酸化膜の順番に積層されて構成されていることによって、溝部の内部にゲート酸化膜を形成する場合に、ゲート酸化膜の膜厚が、溝部の側面および底面において、膜厚差を生じないようにするとともに、第1導電型半導体基板の酸化も抑制できる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態である半導体装置の要部の断面図である。

【図2】(a)～(h)は、それぞれ本発明の第1の実施形態である図1に示す半導体装置の製造方法における各工程を示す断面図である。

【図3】(a)および(b)は、それぞれ本発明の第2の実施形態である半導体装置の要部の断面図である。

【図4】(a)～(g)は、それぞれ本発明の第2の実施形態である図3(a)に示す半導体装置の製造方法における各工程を示す断面図である。

【図5】(a)～(g)は、それぞれ従来の半導体装置の製造方法における各工程を示す断面図である。

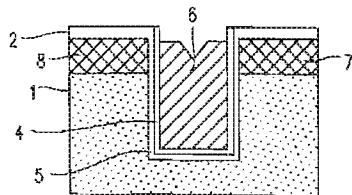
【図6】(a)～(f)は、それぞれ従来の他の半導体装置の製造方法における各工程を示す断面図である。

【符号の説明】

- 1 第1導電型半導体基板
- 2 シリコン酸化膜
- 3 シリコン窒化膜
- 4 第1ゲート酸化膜
- 5 第2ゲート酸化膜
- 6 ゲート電極
- 7 ソース拡散層
- 8 ドレイン拡散層
- 21 第1導電型半導体基板
- 22 第3ゲート酸化膜
- 23 第2ゲート電極
- 24 シリコン窒化膜
- 25 第1ゲート酸化膜
- 26 第2ゲート酸化膜
- 27 第1ゲート電極
- 28 ソース拡散層
- 29 ドレイン拡散層

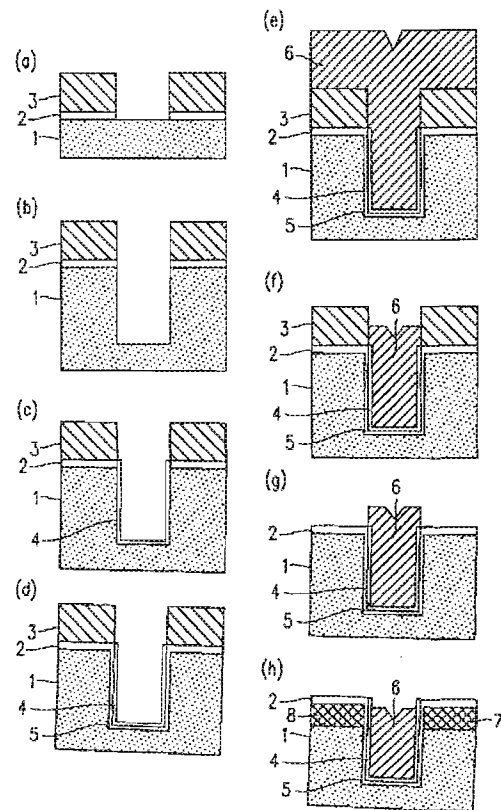
- 30a ドレイン拡散層
- 30b ソース拡散層
- 31 第1導電型半導体基板
- 32 シリコン酸化膜
- 33 シリコン窒化膜
- 34 ゲート酸化膜
- 35 ゲート電極
- 36 ソース拡散層
- 37 ドレイン拡散層
- 41 第1導電型半導体基板

【図1】

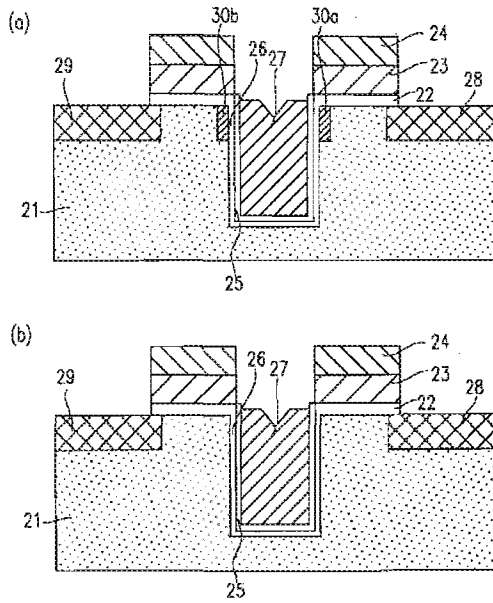


- 42 第2ゲート酸化膜
- 43 第2ゲート電極
- 44 エッチングマスク材
- 45 第1ゲート酸化膜
- 46 第1ゲート電極
- 47 ソース拡散層
- 48 ドレイン拡散層
- 49 ドレイン拡散層
- 50 ソース拡散層

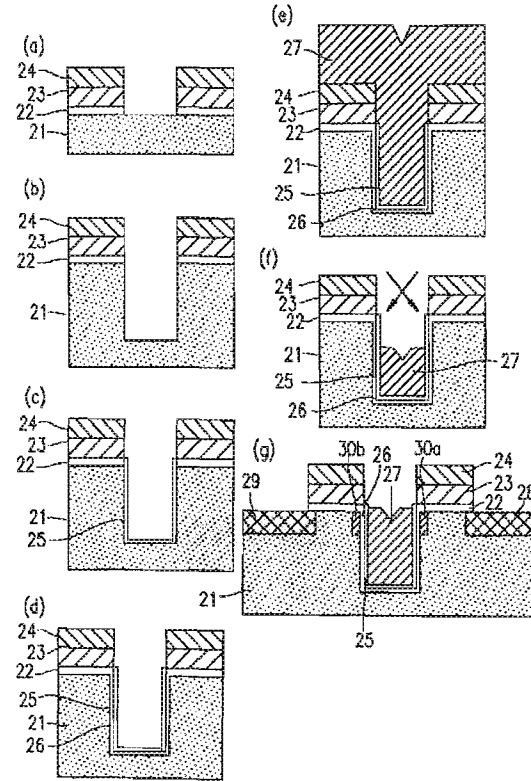
【図2】



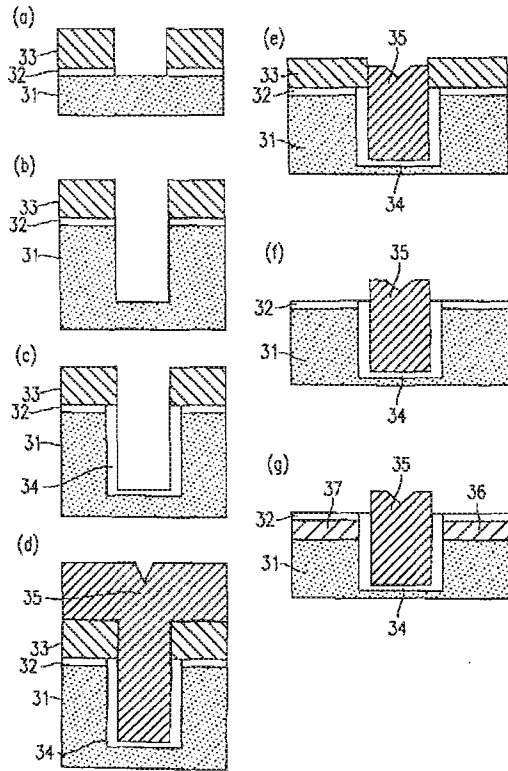
【図3】



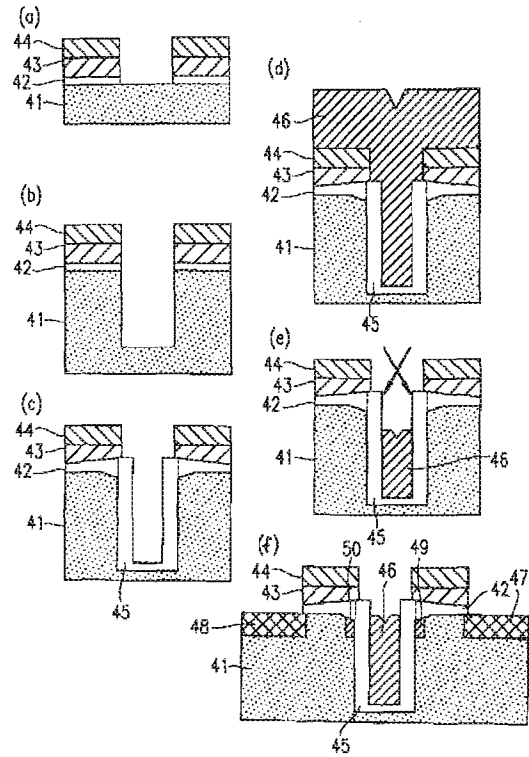
【図4】



【図5】



【図6】



フロントページの続き

Fターム(参考) 5F048 AB01 AC01 BA01 BA19 BB02
 BB05 BB12 BB19 BC03 BD06
 5F058 BA20 BD01 BD04 BD10 BF24
 BF29 BF55 BF56 BF62
 5F140 AB01 AC32 BA01 BA20 BB02
 BB06 BD01 BD05 BD06 BD15
 BE01 BE03 BE07 BE10 BF01
 BF04 BF43 BF46 BG38 BG40
 BK13 BK14